

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-203620

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月13日

H 03 K 19/0948
17/687
19/003

B

8941-5 J
8326-5 J
8214-5 J

H 03 K 19/094
17/687

B
F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-24561

⑰ 出 願 平1(1989)2月2日

⑱ 発 明 者 面 矢 浩 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

動作電源電圧以下の低電圧印加状態において、集積回路の出力端子を高電位又は低電位側に接地させる出力ドライバー及びプリバッファ回路を有する半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、動作電源電圧以下の低電圧印加状態において、集積回路の出力端子を高電位 V_{HH} 又は低電圧 V_{LL} 側に接地させる出力ドライバー及びプリバッファ回路を有する半導体集積回路装置に関する。

(発明の概要)

この発明は、半導体集積回路の製造工程において、出力ドライバーの前段のバッファのシュレ

ュホールド電圧の V_{TH} (以下、 V_{TH} とかく。)を同一チップ内の同型及び相反する型のトランジスタの V_{TH} より高いものに設定することにより動作電源電圧以下の低電圧印加状態において、集積回路の出力端子を高電位 V_{HH} 又は低電位 V_{LL} 側に接地させることができるようにしたものである。

(従来の技術)

従来、第2図に示すように分周回路Dを出力させるためにプリバッファAと出力ドライバーBとの間に抵抗Cを挿入し、プリバッファAのゲート電位に依存せず出力ドライバーBのゲート電位を高電位 V_{HH} 側に寄せ、動作電源電圧以下の低電圧印加状態において、集積回路の出力を低電位 V_{LL} 側に接地させる回路が知られていた。

(発明が解決しようとする課題)

しかし、従来の技術の出力ドライバーBとプリバッファAとの間に抵抗Cを挿入する方法は、動作電源電圧が高くなるという欠点があった。この発明は、従来のこのような欠点を解決するために、動作電源電圧は、差ほど高くならず、動作電源電

圧以下の低電圧印加状態において、集積回路の出力端子を高電位 V_{DD} 又は低電位 V_{SS} 側に接地させることを目的としている。

(課題を解決するための手段)

上記課題を解決するために、この発明は集積回路の製造工程において、出力ドライバーの前段のバッファの片側の V_{TH} を同一チップ内の同型及び相反する型のトランジスタの V_{TH} より高いものにするようにした。

(作用)

出力ドライバーの前段のバッファの片側の V_{TH} を同一チップ内の同型及び相反する型のトランジスタの V_{TH} よりも、高い V_{TH} を作製することにより、出力ドライバーのゲート電位を高電位 V_{DD} 又は低電位 V_{SS} 側に寄らせることにより、動作電源電圧以下の低電圧印加状態において、集積回路の出力端子を高電位 V_{DD} 又は低電位 V_{SS} 側に接地させることができる。

(実施例)

この発明を第1図に示す回路ブロック図を基に

して説明する。

第1図において、分周回路4を出力させるためにNMOS2は、同一チップ内の同型トランジスタと同一の V_{TH} を利用し、PMOS1は、同一チップ内の同型及び相反するトランジスタの V_{TH} より高い V_{TH} のものを半導体製造工程で作製する。動作電源電圧以下の低電圧印加状態においては、NMOS2とPMOS1の両方とも、テーリング特性になっているが、NMOS2に比べPMOS1の方がリークしないような高い V_{TH} になっているので、PMOS1とNMOS2のゲート電位が高電圧 V_{DD} 側、低電圧 V_{SS} 側に寄らず、出力ドライバーのゲート電位は V_{SS} 側に寄っており、出力を低電位 V_{SS} 側に接地させることができる。動作電源電圧は、PMOS1の V_{TH} を高くしたことにより、動作電源電圧は若干上昇するだけすむ。また、NMOS2とPMOS1を取り替えても、同様な原理により、実施することができる。更に、分周回路4の代わりにデコードやエンコード等のデジタル回路に取り替えても、同様な原理により

実施することができる。

(発明の効果)

以上説明したように、この発明は、若干動作電源電圧は上昇するが、動作電源電圧以下の低電圧印加状態において、集積回路の出力端子を高電位 V_{DD} 又は低電圧 V_{SS} 側に接地させる効果がある。

4. 図面の簡単な説明

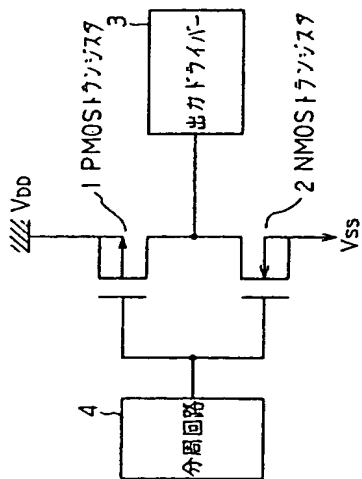
第1図は本発明の動作確定回路のブロック図、第2図は従来の動作確定回路のブロック図である。

- 1・・・PMOSトランジスタ
- 2・・・NMOSトランジスタ
- 3・・・出力ドライバー
- 4・・・分周回路
- A・・・出力ドライバー前段のドライバー
- B・・・出力ドライバー
- C・・・ブリアップ抵抗
- D・・・分周回路

以 上

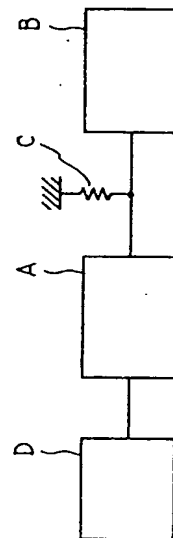
出願人 セイコー電子工業株式会社

代理人 弁理士 林 敬 之 助



本発明の動作確定回路のブロック図

第1図



従来の動作確定回路のブロック図

第2図